

Rec'd PCT/PPO 20 JUL 2005

Rec'd PCT/PPO 20 JUL 2005
PATENT COOPERATION TREATY

PCT Application
PCT/JP2003/000403



PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference 310200643971	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP2003/000403	International filing date (day/month/year) 20 January 2003 (20.01.2003)	Priority date (day/month/year)
International Patent Classification (IPC) or national classification and IPC H03K 19/00		
Applicant RENESAS TECHNOLOGY CORP.		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
2. This REPORT consists of a total of 6 sheets, including this cover sheet.

This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of 3 sheets.

3. This report contains indications relating to the following items:

- I Basis of the report
- II Priority
- III Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV Lack of unity of invention
- V Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI Certain documents cited
- VII Certain defects in the international application
- VIII Certain observations on the international application

Date of submission of the demand 20 January 2003 (20.01.2003)	Date of completion of this report 21 October 2003 (21.10.2003)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP2003/000403

I. Basis of the report

1. With regard to the elements of the international application:^{*}

- the international application as originally filed
 the description:

pages _____ 1-24 _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____

- the claims:

pages _____ 1, 2, 6-11 _____, as originally filed
 pages _____, as amended (together with any statement under Article 19
 pages _____, filed with the demand
 pages _____ 4, 5 _____, filed with the letter of 07 July 2003 (07.07.2003)

- the drawings:

pages _____ 1-10 _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____

- the sequence listing part of the description:

pages _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
 the language of publication of the international application (under Rule 48.3(b)).
 the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- contained in the international application in written form.
 filed together with the international application in computer readable form.
 furnished subsequently to this Authority in written form.
 furnished subsequently to this Authority in computer readable form.
 The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
 The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. The amendments have resulted in the cancellation of:

- the description, pages _____
 the claims, Nos. _____ 3 _____
 the drawings, sheets/fig _____

5. This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP03/00403

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1, 2, 4-7, 10, 11	YES
	Claims	8, 9	NO
Inventive step (IS)	Claims	4-7, 10, 11	YES
	Claims	1, 2, 8, 9	NO
Industrial applicability (IA)	Claims	1, 2, 4-11	YES
	Claims		NO

2. Citations and explanations

Document 1: "Low-Power Chip Interconnection by Dynamic Termination," (T. Kawahara, M. Horiguchi, J. Etoh, T. Sekiguchi, K. Kimura and M. Aoki), IEEE J. of Solid-State Circuits, Vol. 30, No. 9, 30 September, 1995 (30.09.95), pages 1030-1034, Figs. 2 and 3

Document 2: JP, 2-235435, A (NEC Corp.), 18 September, 1990 (18.09.90), Fig. 1 (Family: none)

(1) Claims 1 and 2

The subject matters of claims 1 and 2 of the present application do not appear to involve an inventive step in view of documents 1 and 2 cited in the ISR.

Document 2 describes ensuring that "the rise and the fall are sharp" (page 2, upper right column, line 15), and the rise and the fall are detected in reference to "an input signal and an output signal compared and found to disagree with each other" (page 2, upper right column, line 4). So, it is obviously better that the delay time of the device of the level detection circuit 3 in document 2 (Fig. 1) is as short as possible. Furthermore, if the logic threshold level of the level detection circuit 3 is very close to the "H" level of output 5, the fall cannot be made sharp, and similarly, if it is very close to the "L" level, the rise cannot be made sharp. Since document 2 does not specify whether the logic threshold level is partial toward either the "H" or "L" side, it is adequate to interpret that the said logic threshold level is near the center between the "H" level and the "L" level. It is considered obvious that the said level detection circuit 3, an output buffer 2 and a ternary output buffer exhibit such an action that "the drive force in the latter half of signal transition (of output) is set at a value lower than the drive force of the former half of the transition," as described in claim 1 of the present application.

Therefore, document 2 substantially describes an output circuit in which "the drive force in the latter half of signal transition is set at a value lower than the drive force of the former half of the transition."

A person skilled in the art could have easily arrived at the subject matter of claim 1 of the present application by using the input circuit described in document 1 and the output circuit described in document 2 when logic signals are delivered from the output and applied to the input. A person skilled in the art could have easily arrived at the subject matter of claim 2 of the present application by using the input circuit described in document 1 and the output circuit described in document 2 in the input/output interface circuit of logic signals.

VII. Certain defects in the international application

The following defects in the form or contents of the international application have been noted:

1. The "p-channel type" stated on page 15, lines 4, 7, 12, 14 and 15 of the specification submitted when the present application was filed must be an error for "n-channel type."
2. The "first output control circuit" stated in claim 8 of the specification submitted when the present application was filed and stated in claim 8 of the letter dated 7 July, 2003 must be an error for "first output circuit."
3. The "second output circuit" stated in claim 10 of the specification submitted when the present application was filed and stated in claim 10 of the letter dated 7 July, 2003 must be an error for "first output circuit."
4. The "first output circuit" stated in claim 10 of the specification submitted when the present application was filed must be an error for "second output circuit."
5. The "n-channel type" stated in claim 11 of the specification submitted when the present application was filed must be an error for "p-channel type", and the "p-channel type" must be an error for "n-channel type."

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP03/00403

VIII. Certain observations on the international application

The following observations on the clarity of the claims, description, and drawings or on the question whether the claims are fully supported by the description, are made:

From the explanation about the actions of PT1 and PT2 described in document [JP, 2000-114955, A (Texas Instruments Japan Ltd.), 21 April, 2000 (21.04.00), Fig. 1, and column 5, lines 12-44 (Family: none)], it is evident that the drive force of the latter half of output signal transition is set at a value lower than the drive force of the former half of the transition.

Supplemental Box

(To be used when the space in any of the preceding boxes is not sufficient)

Continuation of : V

(2) Claims 8 and 9

The subject matters of claims 8 and 9 of the present application do not appear to be novel or to involve an inventive step, since they are substantially described in document 2.

Document 2 describes ensuring that "the rise and the fall are sharp" (page 2, upper right column, line 15), and the rise and the fall are detected in reference to "an input signal and an output signal compared and found to disagree with each other" (page 2, upper right column, line 4). So, it is obviously better that the delay time of the device of the level detection circuit 3 in document 2 (Fig. 1) is as short as possible. Furthermore, if the logic threshold level of the level detection circuit 3 is very close to the "H" level of output 5, the fall cannot be made sharp, and similarly, if it is very close to the "L" level, the rise cannot be made sharp. Since document 2 does not specify whether the logic threshold level is partial toward either the "H" or "L" side, it is adequate to interpret that the said logic threshold level is near the center between the "H" level and the "L" level. It is considered obvious that the said level detection circuit 3, an output buffer 2 and a ternary output buffer exhibit such an action that (1) the general drive force is raised in the former half of the transition (of output), and (2) the drive force is relatively lowered thereafter.

Therefore, document 2 describes the constitution in which an output circuit for driving an external load only in the former half of the transition of the signal to be delivered is connected in parallel to an ordinary output circuit, as a logic signal output circuit, for raising the general drive force in the former half of the transition, and for relatively lowering the drive force thereafter (the state assumed by both the output circuits during transition is as shown in Fig. 8 of the present application).

In this case, the magnitude relation between the drive force of one output circuit per se and the drive force of the other output circuit per se is considered to be a matter that could have been decided as required depending on what drive force is necessary as the said general drive force.

In a circuit whose total output is variable, both the constitution in which a total output is obtained by addition (as shown in Fig. 8 of the present application) and the constitution in which one output circuit is selected from plural output circuits prepared for plural total outputs (as shown in Fig. 5 of the present application), are well-known ideas to be selected.

(3) The subject matters of claims 4-7, 10 and 11 are neither described in any of the documents cited in the ISR nor obvious to a person skilled in the art.

Rec'd PCT/PTRA 20 JUL 2005

特許協力条約

PCT

国際予備審査報告

(法第12条、法施行規則第56条)
〔PCT36条及びPCT規則70〕

REC'D 13 NOV 2003

WIPO

PCT

出願人又は代理人 の書類記号 310200643971	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/IPEA/416）を参照すること。	
国際出願番号 PCT/JP03/00403	国際出願日 (日.月.年) 20.01.03	優先日 (日.月.年)
国際特許分類 (IPC) Int. Cl' H03K19/00		
出願人（氏名又は名称） 株式会社ルネサステクノロジ		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条（PCT36条）の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で <u>6</u> ページからなる。 <input checked="" type="checkbox"/> この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関に対して訂正を含む明細書、請求の範囲及び／又は図面も添付されている。 (PCT規則70.16及びPCT実施細則第607号参照) この附属書類は、全部で <u>3</u> ページである。
3. この国際予備審査報告は、次の内容を含む。 I <input checked="" type="checkbox"/> 国際予備審査報告の基礎 II <input type="checkbox"/> 優先権 III <input type="checkbox"/> 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成 IV <input type="checkbox"/> 発明の単一性の欠如 V <input checked="" type="checkbox"/> PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明 VI <input type="checkbox"/> ある種の引用文献 VII <input checked="" type="checkbox"/> 国際出願の不備 VIII <input checked="" type="checkbox"/> 国際出願に対する意見

国際予備審査の請求書を受理した日 20.01.03	国際予備審査報告を作成した日 21.10.03
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 柳下 勝幸 電話番号 03-3581-1101 内線 3556
	<input type="checkbox"/> 5X 9561

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。（法第6条（PCT14条）の規定に基づく命令に応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。PCT規則70.16, 70.17）

<input type="checkbox"/> 出願時の国際出願書類			
<input checked="" type="checkbox"/> 明細書 第 1-24 ページ、		出願時に提出されたもの	
明細書 第 _____ ページ、		国際予備審査の請求書と共に提出されたもの	
明細書 第 _____ ページ、		付の書簡と共に提出されたもの	
<input checked="" type="checkbox"/> 請求の範囲 第 1, 2, 6-11 項、		出願時に提出されたもの	
請求の範囲 第 _____ 項、		PCT19条の規定に基づき補正されたもの	
請求の範囲 第 _____ 項、		国際予備審査の請求書と共に提出されたもの	
請求の範囲 第 4, 5 項、		07.07.03 付の書簡と共に提出されたもの	
<input checked="" type="checkbox"/> 図面 第 1-10 ページ/図、		出願時に提出されたもの	
図面 第 _____ ページ/図、		国際予備審査の請求書と共に提出されたもの	
図面 第 _____ ページ/図、		付の書簡と共に提出されたもの	
<input type="checkbox"/> 明細書の配列表の部分 第 _____ ページ、		出願時に提出されたもの	
明細書の配列表の部分 第 _____ ページ、		国際予備審査の請求書と共に提出されたもの	
明細書の配列表の部分 第 _____ ページ、		付の書簡と共に提出されたもの	

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
- PCT規則48.3(b)にいう国際公開の言語
- 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- この国際出願に含まれる書面による配列表
- この国際出願と共に提出された磁気ディスクによる配列表
- 出願後に、この国際予備審査（または調査）機関に提出された書面による配列表
- 出願後に、この国際予備審査（または調査）機関に提出された磁気ディスクによる配列表
- 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
- 書面による配列表に記載した配列と磁気ディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- 明細書 第 _____ ページ
- 請求の範囲 第 3 項
- 図面 図面の第 _____ ページ/図

5. この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。（PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。）

V. 新規性、進歩性又は産業上の利用可能性についての法第12条（PCT35条(2)）に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲	1, 2, 4-7, 10, 11 有
	請求の範囲	8, 9 無
進歩性 (IS)	請求の範囲	4-7, 10, 11 有
	請求の範囲	1, 2, 8, 9 無
産業上の利用可能性 (IA)	請求の範囲	1, 2, 4-11 有
	請求の範囲	無

2. 文献及び説明 (PCT規則70.7)

【文献1】T. Kawahara, M. Horiguchi, J. Etoh, T. Sekiguchi, K. Kimura, M. Aoki, "Low-Power Chip Interconnection by Dynamic Termination", IEEE J. of Solid-State Circuits, Vol. 30, No. 9, 1995. 09. 30, p. 1030-1034, 第2, 3図参照

【文献2】JP 2-235435 A(日本電気株式会社), 1990. 09. 18, 第1図参照(ファミリーなし)

(1) 請求項1, 2について。

本請求項1, 2は国際調査報告で引用された文献1と文献2とにより進歩性を有さない。

引用文献2には「立ち上がり、立ち下がりが急峻」（第2頁右上欄第15行）を求める事が記載されており、立ち上がり、立ち下がりの検出は「入力信号と出力信号を比較し、不一致」（第2頁右上欄第4行）を以て行うから、引用文献2第1図に於けるレベル検出回路3のデバイスの遅延時間はなるべく少ない方が良い事が明らかである。そして、レベル検出回路3の論理スレッショルドレベルが出力5の「H」レベルに極めて近ければ立ち下がりを急峻することができなくなり、同様に「L」レベルに極めて近ければ立ち上がりを急峻にすることができなくなり、引用文献2には論理スレッショルドレベルについて「H」「L」のどちら側に偏っているかは特記されていないから、当該論理スレッショルドレベルは「H」レベルと「L」レベルの中間付近と解釈するのが妥当である。係るレベル検出回路3と出力バッファ2と3値出力バッファが、本請求項1に記載される如く（出力の）『信号遷移の後半での駆動力が遷移の前半の駆動力よりも低めて設定される』という作用を奏することは自明である。

従って、引用文献2には『信号遷移の後半での駆動力が遷移の前半の駆動力よりも低めて設定される』出力回路が実質的に記載されている。

本請求項1に係る発明は、ロジック信号の出入力の際、文献1に記載の入力回路及び文献2に記載の出力回路を用いることにより当業者が容易に為し得たものである。本請求項2に係る発明は、ロジック信号の入出力インターフェース回路に於いて、文献1に記載の入力回路及び文献2に記載の出力回路を用いることにより当業者が容易に為し得たものである。

VII. 国際出願の不備

この国際出願の形式又は内容について、次の不備を発見した。

1. 出願時明細書第15頁第4、7、12、14、15行に記載された「pチャネル型」はnチャネル型の誤記である。
2. 出願時請求の範囲8 及び 07.07.03付け書簡の請求の範囲8 に記載された「第1出力制御回路」は第1出力回路の誤記である。
3. 出願時の請求の範囲10 及び 07.07.03付け書簡の請求の範囲10 に記載された「第2出力回路」は第1出力回路の誤記である。
4. 出願時の請求の範囲10に記載された「第1出力回路」は第2出力回路の誤記である。
5. 出願時の請求の範囲11に記載された「nチャネル型」はpチャネル型の誤記であり、「pチャネル型」はnチャネル型の誤記である。

VIII. 国際出願に対する意見

請求の範囲、明細書及び図面の明瞭性又は請求の範囲の明細書による十分な裏付についての意見を次に示す。

JP 2000-114955 A(日本テキサス・インスツルメンツ株式会社), 2000.04.21, 第1図及び第5欄第12~44行(ファミリーなし)

に記載されたPT1及びPT2の動作説明からは、出力信号遷移の後半での駆動力が遷移の前半の駆動力よりも低めにされている事が明かである。

補充欄（いずれかの欄の大きさが足りない場合に使用すること）

第 V 欄の続き

(2) 請求項8, 9について。

本請求項8, 9に係る発明は、引用文献2に実質的に記載されているので、新規性、進歩性を有しない。

引用文献2には「立ち上がり、立ち下がりが急峻」（第2頁右上欄第15行）を求める事が記載されており、立ち上がり、立ち下がりの検出は「入力信号と出力信号を比較し、不一致」（第2頁右上欄第4行）を以て行うから、引用文献2第1図に於けるレベル検出回路3のデバイスの遅延時間はなるべく少ない方が良い事が明らかである。そして、レベル検出回路3の論理スレッショルドレベルが出力5の「H」レベルに極めて近ければ立ち下がりを急峻することができなくなり、同様に「L」レベルに極めて近ければ立ち上がりを急峻にすることができなくなり、引用文献2には論理スレッショルドレベルについて「H」「L」のどちら側に偏っているかは特記されていないから、当該論理スレッショルドレベルは「H」レベルと「L」レベルの中間付近と解釈するのが妥当である。係るレベル検出回路3と出力バッファ2と3値出力バッファが、（出力の）遷移の前半に全体的駆動力を上昇させ、それ以降は駆動力を相対的に落とす作用を奏することは自明である。

従って、引用文献2にはロジック信号出力回路として、出力すべき信号の遷移の前半にのみ外部負荷を駆動する出力回路を、通常の出力回路に並列に接続することにより、遷移の前半に全体的駆動力を上昇させ、それ以降は駆動力を相対的に落とす点が記載されている（遷移時に両出力回路がどるステートは本願第8図的。）。

ここで、一方の出力回路自体の駆動力と、他方の出力回路自体の駆動力との大小関係は、前記全体的駆動力としてどの程度必要かにより結果的に決まる事項と認められる。

（なお、トータル出力を可変する回路において、加算してトータル出力を得るか（本願第8図的に。）、複数種のトータル出力に応じて、複数種の出力回路を備えて、一の出力回路を選択するか（本願第5図的に。）、どちらも知られた考え方であり選択的である。）

(3) 請求の範囲4-7, 10, 11に記載された発明は、国際調査報告に引用されたいずれの文献にも記載されておらず、また、当業者にとって自明なものでもない。

請求の範囲

1. 信号を取り込むための入力回路と、信号を出力するための出力回路と、を含む半導体集積回路であって、

5 上記入力回路は、入力信号遷移時の入力インピーダンスが、入力信号遷移時以外の入力インピーダンスよりも小さくなるように設定され、

上記出力回路は、信号遷移の後半での駆動力が遷移の前半の駆動力よりも低め設定されて成ることを特徴とする半導体集積回路。

2. 上記入力回路と上記出力回路とは、信号の入出力を可能とするパッドに共通接続されて成る請求の範囲第1項に記載の半導体集積回路。

10 3. (削除)

4. (補正後) 入力パッドと、上記入力パッドを介して外部からの信号を取り込むための入力回路とを含む半導体集積回路であって、

15 上記入力回路は、入力信号遷移時の入力インピーダンスが、入力信号遷移時以外の入力インピーダンスよりも小さくなるように調整可能な動的終端抵抗回路を含み、

上記動的終端抵抗回路は、上記入力パッドを介して伝達された信号の論理を反転するための第1論理回路と、

20 上記第1論理回路の出力信号の論理を反転するための第2論理回路と、

上記第1論理回路の入力端子と上記第2論理回路の出力端子とを結合可能な抵抗と、を含んで成る半導体集積回路。

5. (補正後) 入力パッドと、上記入力パッドを介して外部からの信号を取り込むための入力回路とを含む半導体集積回路であって、

25 上記入力回路は、入力信号遷移時の入力インピーダンスが、入力信号遷移時以外の入力インピーダンスよりも小さくなるように調整可能な

動的終端抵抗回路を含み、

上記動的終端抵抗回路は、上記入力パッドを介して伝達された信号の論理を反転するための第1論理回路と、

上記第1論理回路の出力信号の論理を反転するための第2論理回路

5 と、

上記第1論理回路の入力端子と上記第2論理回路の出力端子とを結合可能な抵抗と、

上記第1論理回路の出力信号を内部回路へ伝達するための第3論理回路と、を含んで成る半導体集積回路。

5 6. 上記抵抗の回路動作への関与を制御可能なスイッチ回路を含む請求の範囲第4項又は第5項に記載の半導体集積回路。

7. 上記動的終端抵抗回路は、上記入力パッドを介して伝達された信号の論理を反転するための第1論理回路と、

上記第1論理回路の出力信号の論理を反転するための第2論理回路と、

10 上記第1論理回路の入力端子と上記第2論理回路の出力端子とを結合可能な複数の抵抗と、

上記複数の抵抗を選択的に回路動作に関与させるためのスイッチ回路と、を含んで成る請求の範囲第4項又は第5項に記載の半導体集積回路。

15 8. 内部回路と、上記内部回路の出力信号を外部出力可能な出力回路とを含む半導体集積回路であって、

上記出力回路は、出力すべき信号の遷移の前半に、上記内部回路の出力信号に基づいて外部負荷を駆動可能な第1出力回路と、

20 上記第1出力回路に比べて駆動力が小さく設定され、上記外部負荷を駆動可能な第2出力回路と、

を含むことを特徴とする半導体集積回路。

9. 上記外部負荷の電圧レベルに応じて、上記第1出力制御回路と上記第2出力回路とを選択的に回路動作に関与させるためのレベルモニタ回路を含む請求の範囲第8項に記載の半導体集積回路。

25 10. 上記第2出力回路は、高電位側電源側に配置されたnチャネル型